

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Jong-Wook PARK et al.

Art Unit: TBD

Appl. No.: NEW

Examiner: TBD

Filed: 12 February 2004

Atty. Docket: SEC.1111

For: **Integrated Circuit Having a Non-Volatile Memory Cell Transistor as a Fuse Device**

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, **Mail Stop Patent Application**
Crystal Plaza Two, Lobby, Room 1B03
Arlington, Virginia 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date under the International Convention of the following Korean application:

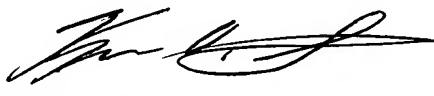
Appln. No. 2003-0011683 filed February 25, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, P.L.L.C.

By: 
Kenneth D. Springer
Registration No. 39,843

VOLENTINE FRANCOS, P.L.L.C.
12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870

Date: 12 February 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0011683
Application Number

출원 년 월 일 : 2003년 02월 25일
Date of Application FEB 25, 2003

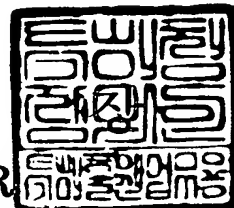
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 10 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.02.25
【발명의 명칭】	휘발성 반도체 메모리의 제조공정에서 제조된 불휘발성 메모리 셀 트랜지스터를 퓨즈소자로서 갖는 반도체 집적 회로 장치
【발명의 영문명칭】	semiconductor intergrated circuit having non-volatile memory cell transistor fabricated by volatile semiconductor memory process as fuse device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	김능균
【대리인코드】	9-1998-000109-0
【포괄위임등록번호】	2003-002377-2
【발명자】	
【성명의 국문표기】	이상재
【성명의 영문표기】	LEE, Sang Jae
【주민등록번호】	651210-1927811
【우편번호】	463-914
【주소】	경기도 성남시 분당구 정자동 한솔마을 청구아파트 103동 1901호
【국적】	KR
【발명자】	
【성명의 국문표기】	원명규
【성명의 영문표기】	WON, Myung Gyoo
【주민등록번호】	720414-1348018
【우편번호】	441-113
【주소】	경기도 수원시 권선구 세류3동 477-3 14/3
【국적】	KR

【발명자】**【성명의 국문표기】**

박종욱

【성명의 영문표기】

PARK, Jong Wook

【주민등록번호】

730212-1380610

【우편번호】

363-954

【주소】

충청북도 청원군 강외면 오송4리 82번지

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
김능균 (인)

【수수료】**【기본출원료】**

20 면 29,000 원

【가산출원료】

7 면 7,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

15 항 589,000 원

【합계】

625,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

레이저 빔이나 전류를 사용하여 파손적으로 절단함이 없이 비파손적으로 전기적으로 절단할 수 있는 퓨즈 소자를 가진 반도체 집적회로장치가 개시된다. 그러한 반도체 집적회로장치는, 상태정보를 저장하기 위한 퓨즈소자로서, 휘발성 반도체 메모리의 제조 공정으로써 제조된 싱글 폴리실리콘 EEPROM 셀 타입의 MOSFET를 이용한다.

【대표도】

도 2

【색인어】

반도체 메모리 장치, 불휘발성 메모리 셀 트랜지스터, 휘발성 반도체 메모리 장치, 퓨즈소자,

【명세서】**【발명의 명칭】**

휘발성 반도체 메모리의 제조공정에서 제조된 불휘발성 메모리 셀 트랜지스터를 퓨즈 소자로서 갖는 반도체 집적회로장치{semiconductor intergrated circuit having non-volatile memory cell transistor fabricated by volatile semiconductor memory process as fuse device}

【도면의 간단한 설명】

도 1은 통상적인 전류 블로잉 방식의 결함 어드레스 저장회로도

도 2는 본 발명의 실시예에 따른 결함 어드레스 저장회로도

도 3은 도 2중 퓨즈소자를 싱글 폴리실리콘 구조의 불휘발성 메모리 셀 트랜지스터로써 구현한 레이아웃도

도 4는 도 3의 절단선 X-X'를 따라 취한 단면도

도 5는 도 2중 퓨즈소자의 프로그램 동작특성을 나타내는 그래프도

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명은 반도체 집적회로장치에 관한 것으로, 특히 휘발성 반도체 메모리의 제조 공정에서 제조된 불휘발성 메모리 셀 트랜지스터를 퓨즈소자로서 갖는 반도체 집적회로 장치에 관한 것이다.

<7> 통상적으로, 반도체 메모리 장치는 크게, 휘발성(volatile)반도체 메모리 장치(semiconductor memory device)와 불휘발성(non-volatile) 반도체 메모리 장치로 나뉘어진다. 휘발성 반도체 메모리 장치는 다시 다이내믹 랜덤 액세스 메모리(dynamic random access memory)와 스테틱 랜덤 액세스 메모리(static random access memory)로 분류될 수 있다. 그러한 휘발성 반도체 메모리 장치는 외부 전원 공급이 중단되면 메모리 셀에 저장된 내용이 소실되는 특징을 갖는다. 한편, 불휘발성 반도체 메모리 장치는 마스크 롬(mask read only memory:MROM), 프로그래머블 리드 온리 메모리(programmable read only memory:PROM), 소거 및 프로그램 가능한 리드 온리 메모리(erasable programmable read only memory:EPROM), 전기적으로 소거 및 프로그램 가능한 리드 온리 메모리(electrically erasable programmable read only memory:EEPROM) 등으로 분류될 수 있다.

<8> 상기한 종류의 불휘발성 반도체 메모리 장치는 외부의 전원 공급이 중단되더라도 메모리 셀내에 그 내용을 영구적으로 보존할 수 있기 때문에 전원 공급의 여하에 관계없이 보존되어야 할 데이터를 기억시키는데 주로 쓰여진다. 그렇지만, 상기 MROM, PROM,

EPROM의 경우에는 일반 사용자들이 전자적 시스템을 통해 자체적으로 소거와 쓰기(또는 프로그램)를 행하는 작업이 자유롭지 않다. 즉, 온-보드(on-board)상태에서 프로그램된 내용을 소거하거나 재프로그램 하는 것이 용이하지 않은 것이다. 이와는 달리, 상기 EEPROM의 경우에는 전기적으로 소거와 쓰기를 행하는 작업이 시스템 자체적으로 가능하므로 지속적인 내용 갱신이 필요한 시스템 프로그램 저장장치나 보조기억장치로의 응용이 지속적으로 확대되고 있는 실정이다.

<9> 한편, DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory) 등과 같은 휘발성 메모리를 갖는 반도체 집적회로장치에 있어서, 메모리 셀의 전기적 특성 불량을 구제하기 위하여 결함 구제용 퓨즈(이하 "퓨즈 소자"라 칭함)가 결함 어드레스 저장회로내에 통상적으로 채용되어있다. 그러한 퓨즈 소자로서는 초기에, 폴리실리콘 막(polysilicon layer)으로 이루어진 폴리실리콘 퓨즈가 사용되어 왔으며, 이는 모오스(MOS) 전계효과트랜지스터(FET)의 게이트 전극 또는 배선층의 형성공정에서 함께 제조된다.

<10> 상기 퓨즈 소자는 레이저 빔 등과 같은 광원에 의해 통상적으로 절단되어 왔다. 레이저 빔에 의한 절단은 별도의 웨이퍼 상태 또는 개별 칩 상태에서 행해지는 레이저 절단작업 공정을 필요로 한다. 또한 레이저 절단 시에 용융된 폴리실리콘이 절단부위 주위에 잔존하게 되면 인접 퓨즈에 영향을 미치거나 절단된 퓨즈가 다시 연결된 것 처럼 동작될 수 있으므로 퓨즈 트리밍(trimming)작업의 신뢰성을 저하시킬 수 있다.

<11> 따라서, 레이저 빔에 의한 퓨즈 절단문제를 해결하기 위하여 도 1과 같이 전류블로잉(blowing)에 의한 퓨즈 절단방법이 본 분야에서 또한 사용되어왔다.

<12> 도 1을 참조하면, 폴리실리콘 막으로 제조된 퓨즈소자(F1)의 저항 값은 고정저항(R)의 저항값 보다 매우 낮은 값으로 설정된다. 따라서, 전원전압(EVCC)이 인가되고 어드레스신호(ADDR)가 로우상태, 외부구동신호(MRS)가 하이상태로 인가되는 초기모드에서는, 노드(A)의 논리레벨은 "H"로, 노드(B)의 논리레벨은 "L"로 된다. 이 때, 출력용 인버터(IN2)로부터 출력되는 리턴던시 인에이블 신호(PREi)의 논리레벨은 "L"로 된다. 한편, 결합 메모리 셀을 리페어해야 할 경우에 전원전압(EVCC)이 인가되고 어드레스신호(ADDR)가 하이상태로 제공된다. 이에 따라 퓨즈 블로잉을 위한 엔형 모오스 트랜지스터(N1)는 턴온 되어 상기 퓨즈소자(F1)를 통해 과도한 전류가 흐르기 시작한다. 결국, 상기 퓨즈소자(F1)로부터 엔형 모오스 트랜지스터(N1)의 소오스단자로 흐르는 과도한 전류에 의해 상기 퓨즈소자(F1)는 파손된다. 상기 퓨즈소자(F1)가 전류에 의해 블로잉된 경우에, 어드레스신호(ADDR)의 상태에 관계없이 상기 전원전압(EVCC)은 피형 모오스 트랜지스터(P1)의 소오스에 인가되지 못하고, 오직 저항(R)을 통해서만 인가된다. 따라서, 구동신호(MRS)가 하이상태로 인가되면, 노드(A)의 논리레벨은 "L"로, 노드(B)의 논리레벨은 "H"로 된다. 따라서, 리턴던시 인에이블 신호(PREi)의 논리레벨은 "H"로서 출력되어 결합 메모리 셀은 리턴던시 메모리 셀로 리페어 되어진다. 도 1의 회로의 설명에서 리턴던시 인에이블 신호(PREi)의 논리레벨이 "L"이면 결합 어드레스가 스토어되지 않은 경우이고, "H"이면 리페어를 위해 결합 어드레스가 스토어된 경우를 예를 들었으나, 사안이 다른 경우에 그 반대의 논리로도 될 수 있다.

<13> 그러나, 도 1에서와 같은 전류 블로잉 방식은 웨이퍼 상태가 아닌 패키지 상태에서 행해질 수 있는 장점을 갖지만, 여전히 퓨즈소자가 파손된 이후에 퓨즈소자가 다시

연결되어 버리거나, 퓨즈소자의 주위에 형성되어 있는 막들이 퓨즈의 파손에 기인하여 손상되는 문제점이 있었다.

<14> 그러한 퓨즈소자의 파손문제를 극복하기 위해 휘발성 반도체 메모리 분야에서 퓨즈 소자로서, 플로팅 게이트를 갖는 엔채널 모오스 전계효과트랜지스터를 사용하는 기술이 일본특허공개공보 1999-17017호의 제목 "반도체 집적회로 장치 및 그 제조방법"하에 개시되었다. 상기한 기술에서, 퓨즈 소자로서 상기 트랜지스터의 절단동작은 플로팅 게이트의 상부에 형성된 절연막의 개구부를 통해 전자선(전자빔)장치로부터 생성된 전자선을 조사하는 것에 의해 달성된다. 즉, 플로팅 게이트에 전자가 주입되면 상기 엔채널 모오스 전계효과트랜지스터의 문턱전압이 변동되기 때문에 상기 트랜지스터는 전기적으로 절단된 상태의 퓨즈로 기능하는 것이다.

<15> 그러나, 상기한 기술에서도 레이저 빔에 의한 절단공정과 유사하게, 전자선 장치를 사용하여 프로그램할 엔채널 모오스 전계효과트랜지스터에 전자선을 별도로 조사(irradiation)하는 공정이 수반된다. 전자선의 조사에 의해 일단 플로팅 게이트에 전자가 주입된 상태 즉, 프로그램된 상태에서는 다시 원래의 상태로 리턴되도록 하는 것이 어렵다. 그러한 이유로서는 상기 엔채널 모오스 전계효과트랜지스터에는 EEPROM의 메모리 셀 트랜지스터가 가지고 있는 콘트롤 게이트가 없고, 전압의 인가에 의해 프로그램 및 소거동작이 수행되지 않기 때문이다. 결국, 상기 플로팅 게이트를 갖는 엔채널 모오스 전계효과트랜지스터는 EEPROM의 메모리 셀 트랜지스터와 같은 동작을 완전히 행하지 못한다.

<16> 따라서, DRAM, SRAM 등과 같은 휘발성 반도체 메모리의 제조공정으로 EEPROM의 메모리 셀 트랜지스터와 같은 동작을 행할 수 있는 퓨즈 소자로서의 불휘발성 메모리 셀을 손쉽게 만들 수 있는 기술이 필요해진다.

<17> 그러나, 통상적인 불휘발성 반도체 메모리 예컨대, EEPROM의 메모리 셀 트랜지스터의 경우에 프로그램 전압은 고전압 예컨대 10 내지 18 볼트정도가 요구되고 리드 전압은 약 5볼트 정도가 요구된다. 따라서, 칩의 내부에는 고전압 펌프회로가 채용되고, 메모리 셀 트랜지스터도 통상의 모오스 전계효과트랜지스터와는 달리 유전막에 둘러싸인 플로팅 게이트와 상기 플로팅 게이트의 상부에 형성된 콘트롤 게이트를 가지기 때문에, 불휘발성 반도체 메모리를 제조하는 공정은 휘발성 반도체 메모리의 제조공정과 는 사뭇 다르다. 그러므로, EEPROM의 메모리 셀 트랜지스터를 DRAM 등과 같은 휘발성 반도체 메모리 장치의 제조환경에서 공정의 추가나 변경없이 제조하기에는 매우 어려움이 뒤따르는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<18> 따라서, 본 발명의 목적은 상기한 종래의 문제점을 해결할 수 있는 휘발성 반도체 메모리 장치의 퓨즈 소자를 제공함에 있다.

<19> 본 발명의 다른 목적은 휘발성 반도체 메모리의 제조공정에서 제조된 불휘발성 메모리 셀 트랜지스터를 퓨즈소자로서 갖는 반도체 집적회로장치를 제공함에 있다.

<20> 본 발명의 다른 목적은 퓨즈 소자를 레이저 빔이나 전류를 사용하여 파손적으로 절단함이 없이 비파손적으로 전기적으로 절단할 수 있는 퓨즈 소자를 제공함에 있다.

- <21> 본 발명의 또 다른 목적은 휘발성 반도체 메모리의 제조공정으로 EEPROM의 메모리 셀 트랜지스터와 같은 동작을 행할 수 있는 퓨즈 소자를 제조할 수 있는 방법 및 그에 따른 퓨즈 소자의 구조를 제공함에 있다.
- <22> 본 발명의 또 다른 목적은 EEPROM의 메모리 셀 트랜지스터와 같은 동작을 EEPROM의 동작전압보다 낮은 전압에서 행할 수 있는 퓨즈 소자의 구조를 제공함에 있다.
- <23> 본 발명의 또 다른 목적은 EEPROM의 메모리 셀 트랜지스터와 같은 동작을 휘발성 반도체 메모리의 동작전압 범위에서 행할 수 있는 퓨즈 소자로서의 EEPROM 메모리 셀 트랜지스터의 구조를 제공함에 있다.
- <24> 본 발명의 또 다른 목적은 DRAM 제조환경에서 제조된 후 비파손적으로 절단된 퓨즈 소자를 필요한 경우에 한해 다시 절단되지 아니한 원래의 상태로 복구할 수 있는 싱글 폴리실리콘 구조의 불휘발성 메모리 셀 트랜지스터를 제공함에 있다.
- <25> 본 발명의 또 다른 목적은 휘발성 반도체 메모리 장치에서 결합 비트 어드레스를 저장하거나 테스트 모드 등과 같은 특정한 동작 모드로의 진입을 가리키는 모드진입 신호를 저장하는 경우에 퓨즈 소자로서 사용할 수 있는 EEPROM 메모리 셀 트랜지스터의 구조를 제공함에 있다.
- <26> 본 발명의 또 다른 목적은 패키징 상태에서도 비파손적으로 절단 및 복구 할 수 있는 퓨즈 소자를 갖는 반도체 집적회로장치를 제공함에 있다.
- <27> 본 발명의 또 다른 목적은 휘발성 반도체 메모리의 제조공정에서 제조된 불휘발성 메모리 셀 트랜지스터를 퓨즈소자로서 갖는 반도체 집적회로장치의 결합 어드레스 저장 회로를 제공함에 있다.

- <28> 상기한 목적들 가운데 일부의 목적들을 달성하기 위한 본 발명의 일 양상(aspect)에 따라, 반도체 집적회로장치는, 상태정보를 저장하기 위한 퓨즈소자로서, 휘발성 반도체 메모리의 제조공정으로써 제조된 싱글 폴리실리콘 EEPROM 셀 타입의 MOSFET를 이용하는 것을 특징으로 한다.
- <29> 바람직하기로, 상기 MOSFET의 싱글 폴리실리콘은 EEPROM의 전하축적용 플로팅 게이트에 대응되고, EEPROM의 콘트롤 게이트는 상기 MOSFET의 채널영역과는 이격되고 상기 싱글 폴리실리콘의 하부층에 형성된 제2 도전형 이온주입영역으로 이루어질 수 있다. 상기 MOSFET는 n채널 MOSFET 일 수 있으며, 이 경우에 상기 퓨즈소자를 전기적으로 절단하기 위한 프로그램 동작은 상기 플로팅 게이트에 열전자주입 방식으로 전자를 주입하는 것에 의해 수행될 수 있다. 또한, 상기 퓨즈소자를 전기적으로 연결하기 위한 소거 동작은 F-N((Fowler-Nordheim) 터널링(tunneling) 방식으로 상기 플로팅 게이트에 포획된 전자가 빠져나가게 함에 의해 수행될 수 있다.
- <30> 본 발명의 다른 양상에 따라, 반도체 집적회로장치의 결합 어드레스 저장회로는: 상태정보를 저장하기 위한 퓨즈소자로서 기능하기 위해, 드레인이 제1전원에 접속되고 콘트롤 게이트가 제2전원에 접속되며, 휘발성 반도체 메모리의 제조공정으로써 제조된 싱글 폴리실리콘 EEPROM 셀 타입의 모오스 전계효과트랜지스터와; 인에이블신호의 상태에 응답하여 상기 모오스 전계효과트랜지스터의 소오스를 접지전원에 연결하기 위한 동작 인에이블부와; 결합 어드레스를 저장할 경우에 상기 모오스 전계효과트랜지스터의 문턱전압이 변화됨에 따라 상기 모오스 전계효과트랜지스터의 소오스에 나타나는 전압레벨을 상기 상태정보로서 래치하는 래치부를 구비한다.

<31> 상기 싱글 폴리실리콘 EEPROM 셀 타입의 MOSFET가 휘발성 반도체 메모리의 제조공정으로써 제조되고, 제1 도전형 기판; 상기 제1 도전형 기판의 일부에 형성된 제2 도전형 딥(deep) 웰(well); 상기 제2 도전형 딥 웰내에 형성된 제1 도전형 포켓 웰; 상기 제1 도전형 포켓 웰의 일부에 제2 도전형 이온주입 영역으로써 형성된 소오스 및 드레인; 상기 제2 도전형 딥 웰과는 이격되어 상기 제1 도전형 기판의 다른 일부에 형성된 제2 도전형 웰; 상기 제2 도전형 웰의 일부에 제2 도전형 이온주입 영역으로써 형성된 콘트롤 게이트; 및 터널 산화막을 개재하여 상기 소오스-드레인 채널과는 대체로 직각방향으로, 상기 제1 도전형 포켓 웰의 상부 및 상기 제2 도전형 딥 웰의 상부를 지나 상기 콘트롤 게이트의 일부상부에까지 연장형성된 폴리실리콘 막질의 플로팅 게이트;로서 이루어진 경우에, 프로그램 동작은, 상기 모오스 전계효과트랜지스터의 소오스를 접지하고, 상기 제1,2 전원을 각기 약 3볼트 및 약 5볼트 정도로 인가함에 의해 달성된다.

<32> 또한, 소거 동작은, 상기 모오스 전계효과트랜지스터의 소오스를 접지 또는 플로팅하고, 상기 제1,2 전원을 각기 약 5볼트 및 약 0볼트 정도로 인가함에 의해 달성된다. 리드 동작은, 상기 모오스 전계효과트랜지스터의 소오스를 플로팅하고, 상기 제1,2 전원을 모두 3볼트 정도로 인가함에 의해 달성된다.

<33> 상기 동작 인에이블부는 앤형 모오스 트랜지스터로 구현할 수 있으며, 상기 래치부는 서로의 입력단이 서로의 출력단에 연결된 인버터 래치일 수 있다. 또한, 상기 래치부의 출력을 인버팅하여 출력하는 출력용 인버터가 더 구비될 수 있다.

<34> 여기서, 상기 제1 도전형이 p형 불순물인 경우에 상기 제2 도전형은 n형 불순물일 수 있다.

【발명의 구성 및 작용】

- <35> 이하에서는 본 발명의 실시예에 따라, 휘발성 반도체 메모리의 제조공정에서 제조된 불휘발성 메모리 셀 트랜지스터를 퓨즈소자로서 갖는 반도체 집적회로장치가 첨부된 도면들을 참조하여 설명된다. 비록 다른 도면에 표시되어 있더라도 동일 내지 유사한 기능을 가지는 구성요소들은 동일 내지 유사한 참조부호로서 나타나 있다.
- <36> 도 2는 본 발명의 실시예에 따른 결함 어드레스 저장회로도이다. 도면을 참조하면, 반도체 집적회로장치의 결함 어드레스 저장회로는, 퓨즈소자(MN1), 동작 인에이블부(MN2), 래치부(L1), 및 출력 인버터(IN3)를 가진다. 도면에서, 상기 퓨즈소자(MN1)는 상태정보를 저장하기 위한 퓨즈소자로서 기능하기 위해, 드레인이 제1전원(VCC)에 접속되고 콘트롤 게이트가 제2전원(IN1)에 접속되며, 휘발성 반도체 메모리의 제조공정으로써 제조된 싱글 폴리실리콘 EEPROM 셀 타입의 모오스 전계효과트랜지스터(MN1)로 구현된다.
- <37> 상기 동작 인에이블부(MN2)로서 기능하는 엔형 모오스 트랜지스터(MN2)는 접속노드(N01)에 드레인이 연결되고 소오스가 접지에 연결되어 있다. 모드레지스터세트(MRS)코드로서 주어질 수 있는 인에이블신호(EN)의 상태가 "H"인 경우에 상기 엔형 모오스 트랜지스터(MN2)는 턴온되어 상기 EEPROM 셀 타입의 모오스 전계효과트랜지스터(MN1)의 소오스를 접지전원에 연결한다. 상기 엔형 모오스 트랜지스터(MN2)는 프로그램 및 소거동작 모드에서만 "H"로 인가되는 상기 인에이블신호(EN)에 의해 턴온된다.

- <38> 상기 래치부(L1)는 결합 어드레스를 저장할 경우에 상기 모오스 전계효과트랜지스터(MN1)의 문턱전압이 변화됨에 따라 상기 모오스 전계효과트랜지스터(MN1)의 소오스에 나타나는 전압레벨을 상기 상태정보로서 래치한다.
- <39> 리드동작시에 전류소모를 최소화하기 위해, 도 2의 퓨즈 소자(MN1)는 결합어드레스를 저장해야 하는 경우에만 온-셀(on-cell)로서 기능한다. 그러므로, 초기에 복수의 퓨즈 소자들은 모두 프로그램되어 오프-셀 상태로 있게 된다. 그러한 상태에서 결합어드레스를 저장하여야 하는 퓨즈소자들만 선택적으로 소거되어 온-셀로 된다. 결국, 프로그램 동작에 의해 문턱전압이 높아진 트랜지스터(MN1)는 리드동작시 오프-셀로서 동작하고, 선택적 소거 동작에 의해 문턱전압이 낮아진 트랜지스터(MN1)의 리드동작시 온-셀로서 동작하는 것이다.
- <40> 예를 들어, 도 2의 트랜지스터(MN1)가 소거된 셀 트랜지스터라면, 리드 동작시 상기 트랜지스터(MN1)는 온-셀로서 기능하므로 노드(N01)에는 논리레벨 "H" 가 나타난다. 따라서, 래치(L1)의 출력을 다시 인버팅하는 인버터(IN3)의 리턴던시 인에이블 신호(PREi)의 논리레벨은 "H"로 출력된다. 이에 따라 해당 노말 메모리 셀은 리턴던시 메모리 셀로 대치된다.
- <41> 한편, 도 2의 트랜지스터(MN1)가 프로그램된 셀 트랜지스터라면, 리드 동작시 상기 트랜지스터(MN1)는 오프-셀로서 기능하므로 노드(N01)에는 논리레벨 "L" 가 나타난다. 따라서, 인버터(IN3)의 리턴던시 인에이블 신호(PREi)의 논리레벨은 "L"로 출력된다. 이에 따라 해당 노말 메모리 셀은 리턴던시 메모리 셀로 대치됨이 없이 원래의 셀 기능을 수행한다.

- <42> 결국, 도 2는 메모리에 대한 불량 비트를 접속대상 회로로 교체할 경우에 그 불량 비트의 어드레스를 상기 퓨즈소자(MN1)의 도통 또는 비도통으로의 제어에 의해 래치하는 결합 어드레스 저장회로로서 기능하며, 상기 퓨즈소자(MN1)는 휘발성 반도체 메모리 제조환경에서 제조된 불휘발성 메모리 소자가 사용된다.
- <43> 비록, 상기 도 2의 퓨즈소자가 결합 어드레스 저장회로내에 사용된 경우를 예를 들었지만, 테스트 모드 등과 같은 특정한 동작 모드로의 진입을 가리키는 모드진입 신호를 저장하는 경우에 퓨즈 소자로서 사용될 수 있음은 물론이다.
- <44> 또한, 싱글 폴리실리콘 EEPROM 셀 타입의 모오스 전계효과트랜지스터(MN1)가 작업 실수에 의해 소거된 경우에 프로그램을 다시 실시하면 상기 트랜지스터(MN1)는 오프-셀로 복구된다. 이러한 것은 테스트를 행하고 나서 다시 원래의 조건으로 복구하는 경우에도 유용하다.
- <45> 이하에서는 도 2의 퓨즈소자 즉, 싱글 폴리실리콘 EEPROM 셀 타입의 모오스 전계효과트랜지스터(MN1)가 어떠한 구조를 가지며, 어떻게 만들어지는가가 본 발명을 한정함이 없이 예를 들어 설명될 것이다.
- <46> 도 3은 도 2중 퓨즈소자의 레이아웃을 보인 것이고, 도 4는 도 3의 절단선 X-X'를 따라 취한 단면도이다. 도 3 및 도 4를 함께 참조하면, 제1 도전형 기판(10)은 단결정 실리콘으로 된 p형 반도체 기판으로써 형성된다. n형 불순물을 선택적으로 이온주입하는 이온주입공정에 의해, 제2 도전형 딥 웰(20)은 상기 제1 도전형 기판(10)의 일부에 형성된다. 상기 제2 도전형 딥 웰(20)내에는 제1 도전형 포켓 웰(40)이 p형 이온을 주입하는 이온주입공정으로써 형성된다. 소오스(50) 및 드레인(60)은 상기 p형 포켓 웰(40)의 일부에 n+형 이온을 주입함에 의해 형성된다. 한편, 제2 도전형 웰(30)은 상기 제2 도전형

딥 웰(20)과는 이격되고 상기 제1 도전형 기판(10)의 다른 일부에 형성된다. 상기 제2 도전형 웰(30)의 일부에 형성된 제2 도전형 이온주입 영역(n+)은 콘트롤 게이트(80)로서 기능한다. 상기 콘트롤 게이트(80)는 상기 n형 웰(30)내에 형성되기 때문에 폴리실리콘 막으로 플로팅 게이트의 상부에 별도로 형성할 필요가 없다. 따라서, 플로팅 게이트만을 폴리실리콘 막으로 형성하는 싱글폴리실리콘 EEPROM 셀 타입의 구조가 구현될 수 있다. 상기 소오스(50)와 드레인(60)의 경계영역이 되는 채널영역의 상부, 제1 도전형 포켓 웰(40)의 상부 일부, 상기 제2 도전형 딥 웰(20)의 상부 일부, 상기 기판(10)의 상부 일부, 상기 제2 도전형 웰(30)의 상부 일부, 및 상기 콘트롤 게이트(80)의 상부 일부에는 70 Å 내지 100 Å 정도의 두께를 갖는 터널 산화막(65)과, 전하축적용 플로팅 게이트(70)가 길게 형성되어 있다. 결국, 상기 플로팅 게이트(70)는 상기 소오스-드레인 채널과는 대체로 직각방향으로 상기 제1 도전형 포켓 웰(40)의 상부 및 상기 제2 도전형 딥 웰(20)의 상부를 지나 상기 콘트롤 게이트(80)의 일부상부에 까지 연장형성되어 있다. 상기 플로팅 게이트 (70)는 화학기상증착법으로 증착된 폴리실리콘 막질로 이루어져 있으며, EEPROM 셀 타입의 전하 축적용 플로팅 게이트로서 기능한다. 상기 플로팅 게이트(70)는 터널 산화막(65)의 상부에 단층으로서 형성되는데, 이는 DRAM의 제조공정에서 트랜지스터의 게이트를 제조할 때 동시에 만들어질 수 있다. 도면에서, 상기 소오스(50) 및 드레인(60)과 콘트롤 게이트(80)는 상기 플로팅 게이트(70)의 하부층에 형성되었지만, 상기 플로팅 게이트(70)를 만든 이후에 이온주입 및 확산공정으로써 제조된다.

<47> 본 실시 예에서는 상기한 바와 같은 구조의 싱글 폴리실리콘 EEPROM 셀 타입의 모오스 전계효과트랜지스터(MN1)를 DRAM 등과 같은 휘발성 반도체 메모리의 제조공정으로써 제조하여 상태정보를 저장하기 위한 퓨즈소자로서 이용한다.

- <48> 상기와 같이 구성된 퓨즈 소자(MN1)의 동작은 EEPROM 메모리 셀 트랜지스터의 경우와 동일한 프로그램, 소거, 및 리드동작 모드를 가지며, 다만 전압 인가조건은 상이하다.
- <49> 먼저, 프로그램 동작은 콘트롤 게이트에 5볼트 이상의 전압, 소오스 단자에 그라운드 전압, 그리고 드레인 단자에 3볼트 이상의 전압을 인가함에 의해 달성된다. 그렇게 전압을 인가하면, 게이트 산화막과 접하는 실리콘 계면에 형성되는 채널에서 발생된 열전자(hot electron)가 플로팅 게이트(70)에 주입된다. 음(-)의 전하가 상기 플로팅 게이트(70) 충분하게 축적되면, 상기 메모리 셀 트랜지스터(MN1)의 문턱전압은 프로그램 이전의 문턱전압보다 상승되어 오프-셀로서 기능한다. 상기 프로그램된 메모리 셀 트랜지스터(MN1)의 문턱전압은 약 4V-6V사이의 전압분포를 갖는다.
- <50> 소거 동작은 콘트롤 게이트에 그라운드 전압을, 소오스 단자 또는 드레인 단자에 5볼트 이상의 전압을 인가함에 의해 달성된다. 여기서, 소오스 또는 드레인 단자들 중에서 전압이 인가되지 않는 다른 한 단자는 플로팅 상태로 된다. 그렇게 전압을 인가하면, 상기 플로팅 게이트에 주입된 전자가 파울러 노드하임(Fowler-Nordheim) 터널링 방식으로 빠져 나오게 됨에 의해 변화된 문턱전압이 다시 원래의 고유한 문턱전압으로 돌아간다. 상기 F-N 터널링이 일어나면, 상기 플로팅 게이트(70)내에 포획되어 있던 음의 전하는 소오스 또는 드레인으로 방출된다. 통상적인 F-N 터널링은 절연막을 사이에 두고 6-7 MV/cm의 전계가 도전층에 인가되는 경우에 발생하는 것으로 알려져 있다. 상기한 메모리 셀 트랜지스터의 경우에도 상기 터널 산화막(65)이 80Å 정도의 두께로 형성되어 있기 때문에 상기 F-N 터널링의 발생이 가능해지는 것이다.

<51> 한편, 리드동작은 상기 소오스 영역을 플로팅한 상태에서, 메모리 셀 트랜지스터의 드레인 및 콘트롤 게이트에 2V 내지 2.5V를 인가함에 의해 이루어진다. 리드동작에서 상기 프로그램 동작에 의해 높아진 문턱전압을 가지는 메모리 셀 트랜지스터는 오프 셀로서 동작되어 드레인에서 소오스로 전류가 흐르는 것을 막게 된다. 이 경우에 상기 메모리 셀 트랜지스터는 "오프-셀"로서 작용한다.

<52> 리드동작이 수행되는 동안, 상기 소거동작에 의해 문턱전압이 낮아진 메모리 셀은 드레인 영역으로부터 소오스 영역으로의 형성되는 전류경로를 가지므로 온-셀(on-cell)로서 동작한다. 이 경우에 상기 메모리 셀 트랜지스터는 "온-셀"이라고 불려진다. 상기 소거된 메모리 셀 트랜지스터들의 문턱전압은 통상적으로 약 1V 내지 2V사이의 전압분포를 갖는다.

<53> 상기한 전압 인가조건에 따른 상기 동작 모드들을 정리하면 표-1과 같다.

<54> 【표 1】

동작 모드	IN1 (콘트롤 게이트)	VCC (드레인)	S/L (소오스)
프로그램	+5V	+2.5~3V	0V
소 거	0V	+5V	0V, 플로팅
리 드	+20~2.5V	+2.5~3V	플로팅

<55> 상기한 표-1에서, 본 발명의 퓨즈소자는 EEPROM의 메모리 셀 트랜지스터와 같은 동작을 휘발성 반도체 메모리의 동작전압 범위에서 행할 수 있음을 알 수 있다.

- <56> 도 3 및 도 4를 통해 알 수 있는 바와 같이, 덩 n웰(20)내에 상기 소오스(50) 및 드레인(60)을 갖는 전계효과 트랜지스터를 배치한 이유는 소거동작시 타의 소자들과의 단락(short)을 방지하기 위해서이다. 즉, 소거시에는 높은 전압을 받는 드레인단자와 콘트롤 게이트간에 PN 접합이 생기는데, 덩 엔웰이 없을 경우에는 기판내에서 다른 소자들과의 단락이 발생할 소지가 있게 된다.
- <57> 도 5는 도 2중 퓨즈소자의 프로그램 동작특성을 보인 시뮬레이션 그래프도이다. 가로축은 드레인 전압이고 세로축은 드레인 전류를 나타낸다. $0.6\mu\text{m}$ 의 채널 길이를 갖는 엔형 모오스 트랜지스터를 LDD 구조의 CMOS 제조공정으로 제조한 경우이다. 상기 퓨즈소자로서 기능하는 엔형 모오스 트랜지스터의 커플링 비(ratio)는 0.7~0.8정도로 나타났다. 프로그램 동작은 콘트롤 게이트에 인가된 전압이 약 5V인 경우에 드레인 전압이 3V 영역에서 수행되는 것으로 나타난다. 채널 길이가 더 축소되는 경우에 프로그램 인가전압을 더욱 낮출 수 있을 것이다.
- <58> 상기한 설명에서는 본 발명의 실시 예를 위주로 도면을 따라 예를 들어 설명하였지만, 본 발명의 기술적 사상의 범위 내에서 본 발명을 다양하게 변형 또는 변경할 수 있음은 본 발명이 속하는 분야의 당업자에게는 명백한 것이다. 예를 들어, 사안이 다른 경우에 회로내에 채용된 트랜지스터 소자들의 타입을 반대로 하거나, 회로의 연결구성을 다양한 형태로 변경할 수 있음은 물론이다.



【발명의 효과】

<59> 상기한 바와 같이 본 발명에 따른 퓨즈 소자에 의하면, 퓨즈 소자를 레이저 빔이나 전류를 사용하여 파손적으로 절단함이 없이 비파손적으로 전기적으로 절단할 수 있는 효과가 있다. 또한, EEPROM의 메모리 셀 트랜지스터와 같은 동작을 휘발성 반도체 메모리의 동작전압 범위에서 행할 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

상태정보를 저장하기 위한 퓨즈소자로서, 휘발성 반도체 메모리의 제조공정으로써 제조된 싱글 폴리실리콘 EEPROM 셀 타입의 MOSFET를 이용하는 것을 특징으로 하는 반도체 집적회로장치.

【청구항 2】

제1항에 있어서, 상기 MOSFET의 싱글 폴리실리콘은 상기 EEPROM 셀의 전하축적용 플로팅 게이트에 대응되고, 상기 EEPROM 셀의 콘트롤 게이트에는 상기 MOSFET의 채널 영역과는 이격되고 상기 싱글 폴리실리콘의 하부층에 형성된 제2 도전형 이온주입영역이 대응됨을 특징으로 하는 반도체 집적회로장치.

【청구항 3】

제2항에 있어서,

상기 MOSFET는 n채널 MOSFET 이고, 상기 퓨즈소자를 전기적으로 절단하기 위한 프로그램 동작은 상기 플로팅 게이트에 열전자주입 방식으로 전자를 주입하는 것에 의해 수행되는 것을 특징으로 하는 반도체 집적회로장치.

【청구항 4】

제3항에 있어서,

상기 퓨즈소자를 전기적으로 연결하기 위한 소거 동작은 F-N 터널링 방식으로 상기 플로팅 게이트에 포획된 전자가 빠져나가게 함에 의해 수행되는 것을 특징으로 하는 반도체 집적회로장치.

【청구항 5】

휘발성 반도체 메모리의 제조공정에서 제조된 불휘발성 메모리 셀 트랜지스터를 퓨즈소자로서 갖는 결함 어드레스 저장회로를 구비한 반도체 집적회로장치.

【청구항 6】

복수의 휘발성 메모리 셀들과; 퓨즈소자의 전기적 연결 또는 차단을 제어하여 상기 휘발성 메모리 셀들중 결함 메모리 셀을 리던던시 메모리 셀로 대체하기 위한 결함구제 회로를 구비한 휘발성 반도체 메모리 장치에 있어서:

상기 결함구제회로의 퓨즈소자로서는, 인가되는 프로그램 제어신호에 응답하여 제1 문턱전압 레벨에서 제2 문턱전압 레벨로 변화되고, 인가되는 소거 제어신호에 응답하여 제2 문턱전압 레벨에서 제1 문턱전압 레벨로 변화되는 싱글 폴리실리콘 EEPROM 셀 타입의 MOSFET를 이용함에 의해, 상기 퓨즈소자의 절단 및 복구가 비파손적이면서 전기적으로 이루어지도록 함을 특징으로 하는 휘발성 반도체 메모리 장치.

【청구항 7】

반도체 집적회로장치의 결함 어드레스 저장회로에 있어서:

상태정보를 저장하기 위한 퓨즈소자로서 기능하기 위해, 드레인이 제1전원에 접속되고 콘트롤 게이트가 제2전원에 접속되며, 휘발성 반도체 메모리의 제조공정으로써 제조된 싱글 폴리실리콘 EEPROM 셀 타입의 모오스 전계효과트랜지스터와;

인에이블신호의 상태에 응답하여 상기 모오스 전계효과트랜지스터의 소오스를 접지전원에 연결하기 위한 동작 인에이블부와;

결함 어드레스를 저장할 경우에 상기 모오스 전계효과트랜지스터의 문턱전압이 변화됨에 따라 상기 모오스 전계효과트랜지스터의 소오스에 나타나는 전압레벨을 상기 상태정보로서 래치하는 래치부를 구비함을 특징으로 하는 반도체 집적회로장치의 결함 어드레스 저장회로.

【청구항 8】

제7항에 있어서,

프로그램 동작의 경우 상기 모오스 전계효과트랜지스터의 소오스는 접지되고, 상기 제1,2 전원은 각기 약 3볼트 및 약 5볼트 정도임을 특징으로 하는 반도체 집적회로장치의 결함 어드레스 저장회로.

【청구항 9】

제8항에 있어서,



소거 동작의 경우 상기 모오스 전계효과트랜지스터의 소오스는 접지 또는 플로팅되고, 상기 제1,2 전원은 각기 약 5볼트 및 약 0볼트 정도임을 특징으로 하는 반도체 집적회로장치의 결함 어드레스 저장회로.

【청구항 10】

제9항에 있어서,

리드동작의 경우 상기 모오스 전계효과트랜지스터의 소오스는 플로팅되고, 상기 제1,2 전원은 모두 3볼트 정도임을 특징으로 하는 반도체 집적회로장치의 결함 어드레스 저장회로.

【청구항 11】

제7항에 있어서,

상기 동작 인에이블부는 엔형 모오스 트랜지스터임을 특징으로 하는 반도체 집적회로장치의 결함 어드레스 저장회로.

【청구항 12】

제7항에 있어서,

상기 래치부는 서로의 입력단이 서로의 출력단에 연결된 인버터 래치임을 특징으로 하는 반도체 집적회로장치의 결함 어드레스 저장회로.

【청구항 13】

제7항에 있어서,

상기 래치부의 출력을 인버팅하여 출력하는 출력용 인버터를 더 구비함을 특징으로 하는 반도체 집적회로장치의 결합 어드레스 저장회로.

【청구항 14】

제1 도전형 기판과,

상기 제1 도전형 기판의 일부에 형성된 제2 도전형 딥 웰과,

상기 제2 도전형 딥 웰내에 형성된 제1 도전형 포켓 웰과,

상기 제1 도전형 포켓 웰의 일부에 제2 도전형 이온주입 영역으로써 형성된 소오스 및 드레인과,

상기 제2 도전형 딥 웰과는 이격되어 상기 제1 도전형 기판의 다른 일부에 형성된 제2 도전형 웰과,

상기 제2 도전형 웰의 일부에 제2 도전형 이온주입 영역으로써 형성된 콘트롤 게이트와,

터널 산화막을 개재하여 상기 소오스-드레인 채널과는 대체로 직각방향으로, 상기 제1 도전형 포켓 웰의 상부 및 상기 제2 도전형 딥 웰의 상부를 지나, 상기 콘트롤 게이트의 일부상부에 까지 연장형성된 폴리실리콘 막질의 플로팅 게이트를 구비하는 싱글 폴리실리콘 EEPROM 셀 타입의 MOSFET를;



휘발성 반도체 메모리의 제조공정으로써 제조하여 상태정보를 저장하기 위한 퓨즈 소자로서 이용하는 것을 특징으로 하는 다이나믹 랜덤 액세스 메모리.

【청구항 15】

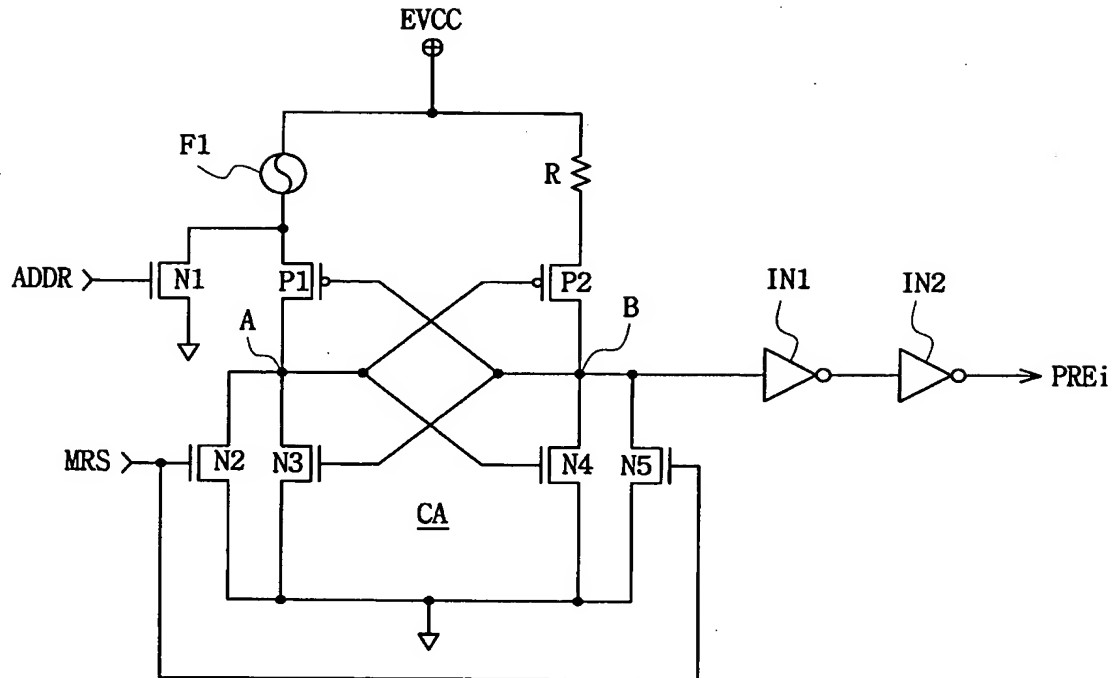
제14항에 있어서,

상기 제1 도전형이 p형 불순물인 경우에 상기 제2 도전형은 n형 불순물임을 특징으로 하는 다이나믹 랜덤 액세스 메모리.

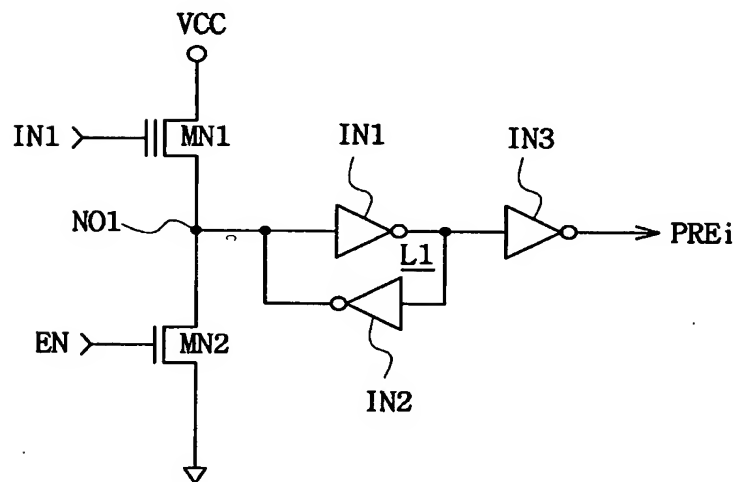


【도면】

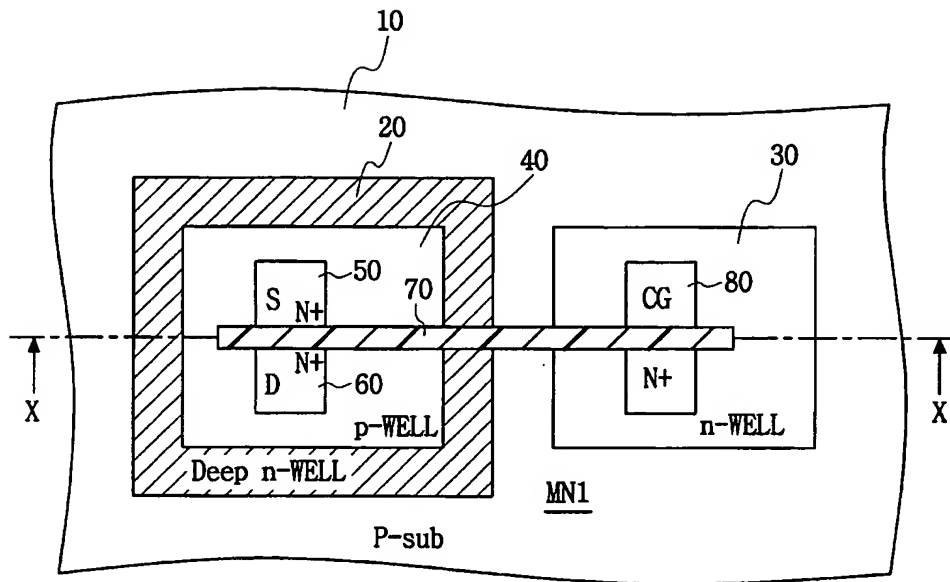
【도 1】



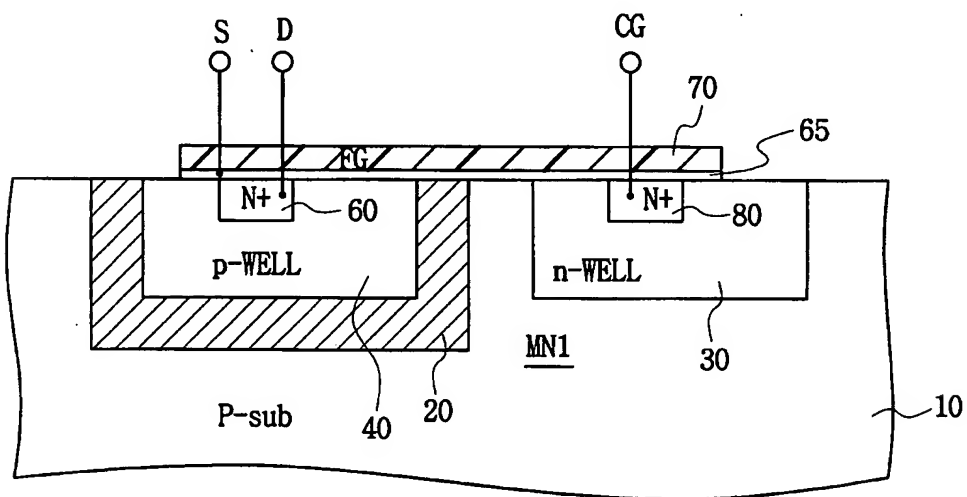
【도 2】



【도 3】



【도 4】





1020030011683

출력 일자: 2003/3/11

【도 5】

